

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年6月8日 (08.06.2006)

PCT

(10) 国際公開番号
WO 2006/059444 A1

(51) 国際特許分類:
G06F 9/42 (2006.01) G06F 9/38 (2006.01)

(21) 国際出願番号:
PCT/JP2005/020000

(22) 国際出願日:
2005年10月31日 (31.10.2005)

(25) 国際出願の言語:
日本語

(26) 国際公開の言語:
日本語

(30) 優先権データ:
特願2004-350702 2004年12月3日 (03.12.2004) JP

(71) 出願人(米国を除く全ての指定国について): 株式会社ソニー・コンピュータエンタテインメント(SONY COMPUTER ENTERTAINMENT INC.) [JP/JP]; 〒1070062 東京都港区南青山二丁目6番21号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 野田慎治(NODA, Shinji) [JP/JP]; 〒1070062 東京都港区南青山二丁目6番21号 株式会社ソニー・コンピュータエンタテインメント内 Tokyo (JP). 河野健(KONO, Takeshi) [JP/JP]; 〒1070062 東京都港区南青山二丁目6番21号 株式会社ソニー・コンピュータエンタテインメント内 Tokyo (JP).

(74) 代理人: 森下賢樹(MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西2-11-12 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

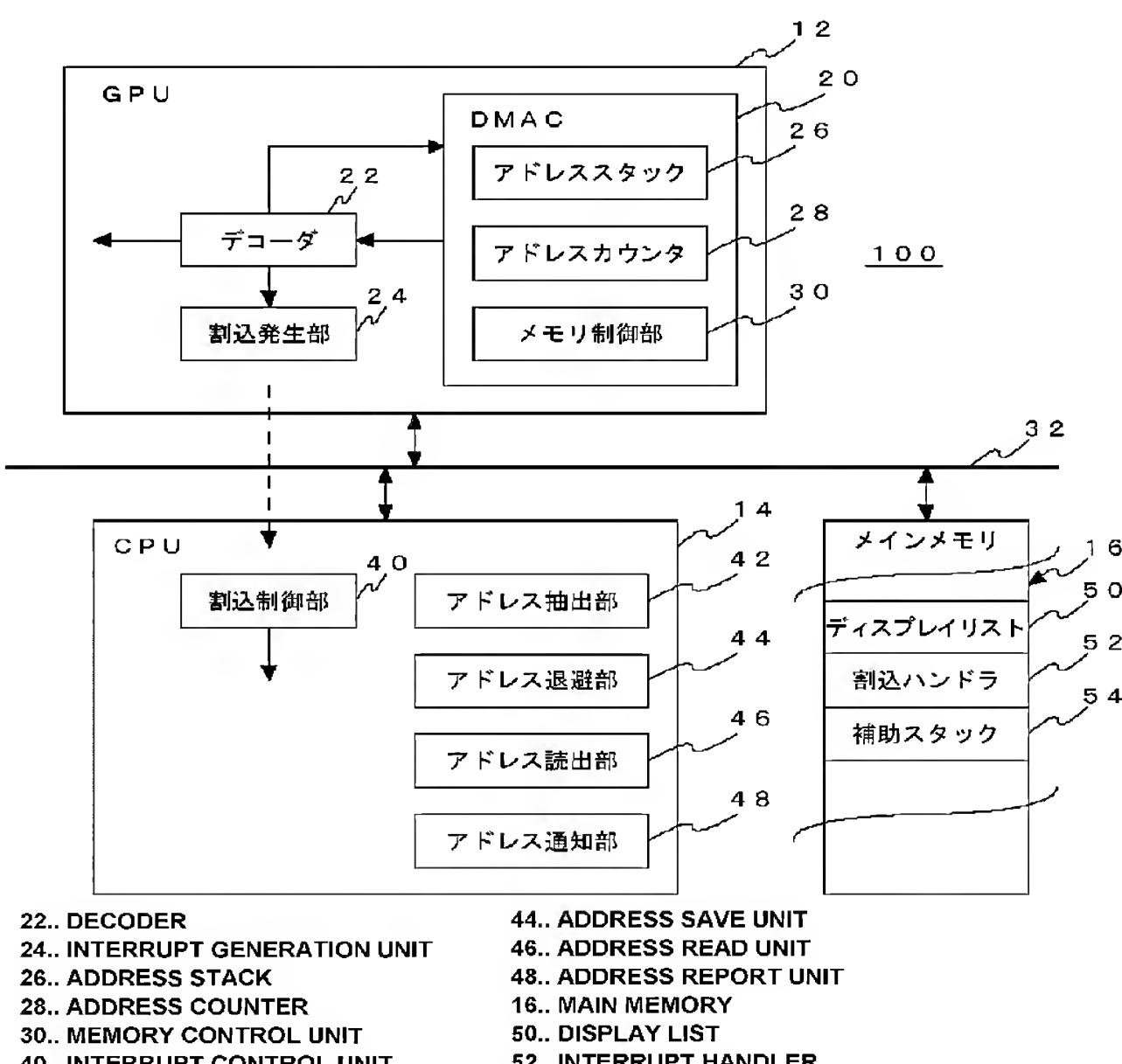
添付公開書類:

- 国際調査報告書
- 補正書

[続葉有]

(54) Title: MULTI-PROCESSOR SYSTEM AND PROGRAM EXECUTION METHOD IN THE SYSTEM

(54) 発明の名称: マルチプロセッサシステムとそのシステムにおけるプログラム実行方法



22.. DECODER
24.. INTERRUPT GENERATION UNIT
26.. ADDRESS STACK
28.. ADDRESS COUNTER
30.. MEMORY CONTROL UNIT
40.. INTERRUPT CONTROL UNIT
42.. ADDRESS EXTRACTION UNIT

44.. ADDRESS SAVE UNIT
46.. ADDRESS READ UNIT
48.. ADDRESS REPORT UNIT
16.. MAIN MEMORY
50.. DISPLAY LIST
52.. INTERRUPT HANDLER
54.. AUXILIARY STACK

(57) Abstract: In a multi-processor system (100), when a first processor interrupt generation unit (24) has executed a call command or a jump command in a main routine being executed, it generates an interrupt to a second processor. Upon reception of the interrupt from the interrupt generation unit (24), the second processor saves the return address for returning to the main routine upon completion of the subroutine processing called by the call command in a main memory area (54) other than the first processor or generates a call destination address and a jump destination address and reports it to the first processor. Thus, the first processor can be a small-size circuit capable of flexibly performing processing.

[続葉有]

WO 2006/059444 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

マルチプロセッサシステム100において、第1のプロセッサの割込発生部24は、実行中のメインルーチンにおいてコール命令やジャンプ命令を実行したとき第2のプロセッサに対して割込を発生させる。第2のプロセッサは、割込発生部24から割込を受けたとき、コール命令によって呼び出されるサブルーチンの処理が完了したときメインルーチンへ戻るための戻りアドレスを第1のプロセッサ外のメインメモリ領域54に退避したり、または、コール先アドレスやジャンプ先アドレスを生成して第1のプロセッサへ通知したりする。

これにより第1のプロセッサが小規模回路で柔軟に処理を実行する。

明細書

マルチプロセッサシステムとそのシステムにおけるプログラム実行方法 技術分野

[0001] 本発明は、コンピュータのプロセッサにマルチプロセッサ構成を用いたシステムと、そのシステムにおいてプログラムを実行する方法に関する。

背景技術

[0002] リアルタイムマルチメディアアプリケーションの重要性は、より一層高まっている。こうしたアプリケーションは、マルチプロセッサシステムで処理されることが多くなってきている。例えば、ゲーム機など高速かつ高精細な画像表示が要求される装置では、グラフィックプロセッサ(GPU; Graphics Processing Unit)とメインプロセッサとが連携して、高速性が要求されるグラフィック処理を実行する。

[0003] 一方、ゲーム機、携帯電話、個人情報端末(PDA; Personal Digital Assistance)など、携帯型の電子装置は、ますます小型化する傾向にあり、プロセッサやメモリなどを実装する制御回路の小面積化、高集積化が要請される。

発明の開示

発明が解決しようとする課題

[0004] 制御回路が小面積化、高集積化されてくると、プログラムの実行などを円滑に行うために実装されるレジスタなどのハードウェア資源を実装する面積も縮小していく。このようなハードウェア資源を少なくしていくと、コマンドによっては、円滑に実行することが難しくなる場合も生じてくる。

[0005] 本発明は、このような状況に鑑みてなされたものであり、その目的は、小規模な回路で柔軟に処理を実行することができるマルチプロセッサシステムとそのシステムにおけるプログラム実行方法を提供することにある。

課題を解決するための手段

[0006] 上記課題を解決するために、本発明のある態様は、マルチプロセッサシステムにおけるプログラム実行方法である。この方法は、第1のプロセッサが、実行中のメインルーチンにおいてコール命令を実行したとき、そのコール命令によって呼び出されるサ

ブルーチンの処理が完了したときメインルーチンへ戻るための戻りアドレスの退避を第2のプロセッサに委託する。

[0007] 本発明のさらに別の態様もまた、マルチプロセッサシステムにおけるプログラム実行方法である。この方法は、第1のプロセッサがコール命令またはジャンプ命令を実行したとき、コール先アドレスまたはジャンプ先アドレスのフルアドレスの取得を第2のプロセッサに委託する。

[0008] なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、記録媒体、コンピュータプログラムなどの間で変換したものもまた、本発明の態様として有効である。

発明の効果

[0009] 本発明によれば、小規模な回路で柔軟に処理を実行することができる。

図面の簡単な説明

[0010] [図1]本発明の実施形態におけるマルチプロセッサシステムの構成を示す図である。

[図2]本実施形態におけるディスプレイリストの一例を示す図である。

[図3]本実施形態におけるGPUがCPUにアドレス抽出を指示する第1コマンド例のフォーマットを示す図である。

[図4]本実施形態におけるGPUがCPUにアドレス抽出を指示する第2コマンド例のフォーマットを示す図である。

[図5]本実施形態におけるコール命令を実行した際のフローチャートである。

[図6]本実施形態におけるジャンプ命令を実行した際のフローチャートである。

符号の説明

[0011] 12 GPU、 14 CPU、 16 メインメモリ、 20 DMAC、 22 デコーダ、 24 割込発生部、 26 アドレススタック、 28 アドレスカウンタ、 30 メモリ制御部、 40 割込制御部、 42 アドレス抽出部、 44 アドレス退避部、 46 アドレス読出部、 48 アドレス通知部、 50 ディスプレイリスト、 52 割込ハンドラ、 54 補助スタック領域、 100 マルチプロセッサシステム。

発明を実施するための最良の形態

[0012] まず、実施形態を詳細に説明する前に、概要を以下に示す。

ある態様は、第1のプロセッサと第2のプロセッサを含む。第1のプロセッサは、実行中のメインルーチンにおいて所定のコール命令を実行したとき第2のプロセッサに対して割込を発生する割込発生部を備える。第2のプロセッサは、当該割込発生部から割込を受けたとき、コール命令によって呼び出されるサブルーチンの処理が完了したときメインルーチンへ戻るための戻りアドレスを所定のメモリ領域に退避するアドレス退避部を備える。ここで、「メインルーチン」および「サブルーチン」とは、コール元のルーチンとコール先のルーチンとの関係を示した記載表現であり、例えば、特定のルーチンがコール元のルーチンとの関係では「サブルーチン」と、コール先のルーチンとの関係では「メインルーチン」と表現されてもよい。

[0013] 上記割込発生部は、サブルーチンにおいて所定のリターン命令を実行したとき第2のプロセッサに対して再度割込を発生し、第2のプロセッサは、再度発生された割込を受けたとき、戻りアドレスを第1のプロセッサへ通知するアドレス通知部をさらに備えてもよい。第1のプロセッサは、命令をフェッチするフェッチャーを備え、このフェッチャーによるアクセスの対象アドレスとして戻りアドレスが設定されてもよい。

[0014] 別の態様も、第1のプロセッサと第2のプロセッサを含む。第1のプロセッサは、所定のコール命令またはジャンプ命令を実行したとき第2のプロセッサに対して割込を発生する割込発生部を備える。第2のプロセッサは、第1のプロセッサから割込を受けたとき、コール命令またはジャンプ命令と、その後に置かれる実行停止命令のフォーマット中に分割して格納されたコール先アドレスまたはジャンプ先アドレスを抽出するアドレス抽出部と、取得したコール先アドレスまたはジャンプ先アドレスを第1のプロセッサに通知するアドレス通知部とを備える。ここで、「ジャンプ命令」は、条件付ジャンプ命令、無条件ジャンプ命令のいずれであってもよい。第1のプロセッサは、命令をフェッチするフェッチャーを備え、このフェッチャーによるアクセスの対象アドレスとしてコール先アドレスまたはジャンプ先アドレスが設定されてもよい。

[0015] 別の態様は、グラフィックプロセッサとメインプロセッサを含む。グラフィックプロセッサは、メモリからディスプレイリストとして記述される命令を順次読み出すDMA(Direct Memory Access Controller)と、読み出された命令を順次解読するデコーダと、解

読された命令がディスプレイリストのメインルーチンに含まれる所定のコール命令であるときメインプロセッサに対して移行用割込を発生し、かつ、解読された命令がコール命令によって呼び出されるサブルーチンに含まれるリターン命令であるときメインプロセッサに対して復帰用割込を発生する割込発生部とを備える。メインプロセッサは、割込発生部から移行用割込を受けたとき、サブルーチンの処理が完了したときメインルーチンへ戻るための戻りアドレスを所定のメモリへ退避するアドレス退避部と、割込発生部から復帰用割込を受けたとき、戻りアドレスを所定のメモリから読み出してグラフィックプロセッサへ通知するアドレス通知部とを備える。グラフィックプロセッサへ通知された戻りアドレスがDMACのアクセスの対象アドレスとして設定される。

- [0016] 別の態様も、グラフィックプロセッサとメインプロセッサを含む。グラフィックプロセッサは、メモリからディスプレイリストとして記述される命令を順次読み出すDMACと、読み出された命令を順次解読するデコーダと、解読された命令がディスプレイリストに含まれる所定のコール命令またはジャンプ命令であるときメインプロセッサに対して割込を発生する割込発生部とを備える。メインプロセッサは、割込発生部から割込を受けたとき、コール命令またはジャンプ命令と、その後に置かれる実行停止命令のフォーマット中に分割して格納されたコール先アドレスまたはジャンプ先アドレスを取得してグラフィックプロセッサへ通知するアドレス通知部を備える。グラフィックプロセッサへ通知されたコール先アドレスまたはジャンプ先アドレスがDMACのアクセスの対象アドレスとして設定される。
- [0017] 第1のプロセッサ内部のスタック領域に空きがある場合は第1のプロセッサが自らそのスタック領域へ戻りアドレスを退避してもよい。一方、スタック領域に空きがない場合は第2のプロセッサに戻りアドレスの退避を委託してもよい。コール命令が、戻りアドレスの退避を第2のプロセッサへ委託する旨を明示しない命令であるとき、第1のプロセッサは、自身内蔵するスタック領域へ戻りアドレスを退避してもよい。一方、コール命令が、戻りアドレスの退避を第2のプロセッサへ委託する旨を明示する命令であるとき、第1のプロセッサは、第2のプロセッサに戻りアドレスの退避を委託してもよい。
- [0018] コール先アドレスまたはジャンプ先アドレスのビット数が第1のプロセッサによって取得可能なビット数を超えているとき、コール先アドレスまたはジャンプ先アドレスのフル

アドレスの取得を第2のプロセッサに委託してもよい。コール命令またはジャンプ命令が、コール先アドレスまたはジャンプ先アドレスの取得を第2のプロセッサへ委託する旨を明示する命令であるとき、コール先アドレスまたはジャンプ先アドレスのフルアドレスの取得を第2のプロセッサに委託してもよい。

[0019] 以下、本発明の実施形態を詳細に説明する。

図1は、本発明の実施形態におけるマルチプロセッサシステム100の構成を示す図である。本実施形態におけるマルチプロセッサシステム100は、同一バス32上にGPU12、CPU14、およびメインメモリ16が接続された構成である。なお図1のブロック図では、GPU12、CPU14、およびメインメモリ16に関し、本実施形態の説明に必要な範囲で、それぞれの機能やデータ構造を記載しており、それらの一般的な機能やデータ構造は省略してある。

[0020] GPU12は、主に、3次元グラフィック表示に必要な計算やレンダリングを行うグラフィック処理用のプロセッサであり、ワンチップ化された半導体集積回路で構成されてもよい。GPU12は、DMAC20、デコーダ22、および割込発生部24を備える。DMAC20は、メインメモリ16との間で直接データ転送を行う。本実施形態では、メインメモリ16からコマンドをフェッチするフェッチャーとして機能する。

[0021] DMAC20は、アドレススタック26、アドレスカウンタ28、およびメモリ制御部30を含む。アドレススタック26は、GPU12が現在実行中の描画処理を割込の発生により一時中断し、コールバック関数などを実行する場合、当該コールバック関数に係るサブルーチンを終了し、上記描画処理を再開する際に戻るべき戻りアドレスを格納する。本実施形態では、GPU12の小規模化の要請により、小さな領域とする。例えば、レジスタを2個設け、2つの戻りアドレスを格納可能な設計にしてもよい。この設計では、2回コール命令が実行され、2段のサブルーチンが構築された場合も、このアドレススタック26に2つの戻りアドレスを格納することができる。それ以上のコール命令が実行された場合、その他の領域に戻りアドレスを格納する必要が生じるが、その領域の確保する手法については後述する。アドレスカウンタ28は、アクセス先のアドレス、本実施形態ではメインメモリ16のアドレスを保持し、データ読み出しタイミングにしたがい、そのアドレスをインクリメントしていく。メモリ制御部30は、メインメモリ16との間のデー

タ転送を制御し、具体的には、アドレスカウンタ28の指示するアドレスからデータを読み出す。

[0022] デコーダ22は、DMAC20にフェッチされたコマンドを順次解読する。その解読にしたがい、図示しない加算器などを備える実行ユニットは、コマンドを実行し、図示しないフレームメモリなどに演算結果を書き出す。デコーダ22は、解読したコマンドが、割込を発生させて、後述するディスプレイリスト50のコール命令であった場合、割込ハンドラ52を読み出す。割込ハンドラ52が実行されると、デコーダ22は、現在実行中の描画処理を一時中断して、その処理に復帰するための戻りアドレスをアドレススタック26に格納する。なお、描画処理を一時中断しない場合は、戻りアドレスを格納しなくてもよい。また、アドレススタック26に空き領域がない場合、割込発生部24に指示して、CPU14に戻りアドレスの格納を依頼する。

[0023] 戻りアドレスの格納と共に、デコーダ22は、初期設定によりフックされているコールバック関数を読み出す。例えば、解読したコマンドフォーマットの下位16ビットに設定された引数を用いて、当該コールバック関数を呼び出す。この際、現在実行中の描画処理を一時中断させてもよいし、現在実行中の描画処理を継続してもよい。また、描画処理を一時中断した場合、コールバック処理から戻ってきた際、その中断していた処理を再開してもよいし、描画処理の再開を指示する別のコマンドを解読した際に、その処理を再開してもよい。これらは、予めコマンドフォーマットに、コマンドタイプとして設定することができる。また、ホルト命令などの実行停止命令の有無によって、設定してもよい。

[0024] また、デコーダ22は、解読したコマンドが割込を発生させて、後述するディスプレイリスト50のコール命令またはジャンプ命令を発生させるものであり、かつ、アクセスすべき対象アドレスの一部しか設定されていないタイプであった場合、デコーダ22が割込発生部24に指示して、CPU14にディスプレイリスト50の対象アドレスの抽出を依頼する。なお、コール命令であった場合、上記と同様に戻りアドレスを格納する。本実施形態では、この対象アドレスを、1つのコマンドフォーマット中に設定しきれない場合、複数コマンドに跨って設定する。例えば、ディスプレイリスト50に割込を発生させるためのコール命令やジャンプ命令のコマンドと、その後にホルト命令やエンドマー

力が設定されたコマンドとがセットで記述されるコマンド体系を用いている場合、それら2つのコマンドに分割して設定することができる。そして、上記対象アドレスが32ビットで指定すべきものであり、1つのコマンドにアドレスを設定可能な領域が24ビット以下の場合、上記対象アドレスを16ビットずつに分割して、2つのコマンドフォーマット中に設定されてもよい。

[0025] なお、当該アドレスが1つのコマンドに設定可能なデータ長であり、1つのコマンドに設定されている場合、デコーダ22は、アドレスの抽出をCPU14に依頼しない。通常通り、デコーダ22は、そのアドレスをアドレスカウンタ28に設定すればよい。対象アドレスが複数のコマンドに分割されて設定されているか否かは、コマンドタイプとして、予めコマンドのフォーマット中に設定しておく、それを解読して判断してもよいし、実行停止コマンドの有無で判断してもよい。

[0026] また、デコーダ22は、解読したコマンドが割込を発生させて、上記コール命令に対応したリターン命令を発生させてるものであり、そのコール命令に対応する戻りアドレスをアドレスstack26または後述するメインメモリ16の補助stack領域54から読み出す。その戻りアドレスが補助stack領域54に格納されいている場合、割込発生部24に指示して、CPU14に戻りアドレスの読み出しを依頼する。

[0027] 割込発生部24の以上の動作をまとめると、以下のイベントが発生した場合、CPU14に割込信号を発生させる。それは、戻りアドレスの格納をCPU14に依頼する場合である。また、複数のコマンドに分割して設定されたアドレスの抽出をCPU14に依頼する場合である。さらに、サブルーチンにおいて、コール元に戻るためのリターン命令が実行された際、戻りアドレスがメインメモリ16の補助stack領域54に格納されている場合、その戻りアドレスの転送をCPU14に依頼する場合である。以下、本明細書中では、ディスプレイリスト50のメインルーチンに含まれる所定のコール命令を解読、実行したとき、CPU14に発生させる割込信号を移行用割込と呼ぶ。また、コール命令によって呼び出されたサブルーチンに含まれるリターン命令を解読、実行したとき、CPU14に発生させる割込信号を復帰用割込と呼ぶ。なお、割込を発生させるイベントには、キーボードからの入力など、種々存在するが、ここでは、本実施形態に関連するGPU12における描画処理実行中に、コール命令やジャンプ命令を解読、実

行した際に発生する割込に限定して説明している。

[0028] CPU14は、割込制御部40、アドレス抽出部42、アドレス退避部44、アドレス読出部46、およびアドレス通知部48を備える。これらは、後述する割込ハンドラ52の機能を実現する機能ブロックを示す。割込制御部40は、GPU12の割込発生部24から移行用割込および復帰用割込を受け付ける。アドレス抽出部42は、移行用割込により、複数のコマンドに跨る対象アドレスの抽出を依頼されたとき、それぞれのコマンドからアドレスの一部を抽出する。例えば、コール命令またはジャンプ命令などのコマンド、およびその後に置かれるホルト命令などのコマンドのフォーマット中に分離して設定されたアドレスを抽出する。この対象アドレスは、メインメモリ16内のコール先アドレスまたはジャンプ先アドレスなどを指す。

[0029] CPU14は、GPU12より図示しないレジスタ群を多く備える。シフトレジスタを備えてもよい。例えば、1つのコマンドフォーマットが32ビット仕様で、アドレスの設定可能ビット数が24ビットまでと規定される場合、2つのコマンドのそれぞれの下位16ビットを利用して、32ビットで規定されるアドレスを16ビットずつに分割して、2つのコマンドに設定する。そして、当該アドレスの上位16ビットを先のコマンドに設定し、その下位16ビットを後のコマンドに設定する。アドレス抽出部42は、先のコマンドからアドレスの上位16ビットを抽出し、シフトレジスタに入れる。そのシフトレジスタでMSB(Most Significant Bit)側に16桁分シフトさせ、それと共に、後のコマンドからアドレスの下位16ビットを抽出し、シフトレジスタ内のデータと組み合わせることにより、分割前のアドレスに復元することができる。

[0030] アドレス通知部48は、アドレス抽出部42が生成した対象アドレスをGPU12に転送し、アドレスカウンタ28にそれを設定する。アドレスカウンタ28は、この処理により保持データが更新され、以降、この設定されたアドレスからインクリメントしていく。

[0031] アドレス退避部44は、移行用割込により、上記戻りアドレスの格納を依頼された場合、後述するメインメモリ16内の補助スタック領域54に、その戻りアドレスを格納する。複数の戻りアドレスを格納する場合、LIFO (Last-In First-Out) 方式で補助スタック領域54に格納していくとよい。

[0032] アドレス読出部46は、復帰用割込により、戻りアドレスの転送を依頼された場合、メ

インメモリ16内の補助スタック領域54から、その戻りアドレスを読み出す。アドレス読出部46は、補助スタック領域54がLIFO方式で制御されている場合、最後に格納された戻りアドレスを読み出す。この読み出す順番は、GPU12からの戻りアドレス転送の依頼順にも合致する。

- [0033] アドレス通知部48は、アドレス読出部46が読み出した戻りアドレスをGPU12に転送し、アドレスカウンタ28にそれを設定する。アドレスカウンタ28は、この処理により保持データが更新され、以降、この設定されたアドレスからインクリメントしていく。
- [0034] メインメモリ16は、各種のコマンドやデータを格納する。本実施形態では、主に、ディスプレイリスト50、割込ハンドラ52を格納する。その他、テクスチャデータなどが格納されてもよい。また、メインメモリ16には、補助スタック領域54が確保される。ディスプレイリスト50とは、描画実行時に効率的に処理できるよう、描画に関するコマンド群をひとまとめにリスト化したものである。本実施形態では、GPU12にフェッチされて実行される。割込ハンドラ52は、割込を処理、制御するために待機しているプログラムである。本実施形態では、主に、ディスプレイリスト50の実行中にコール命令やジャンプ命令が実行される場合の、GPU12およびCPU14の動作を制御するものである。
- [0035] 補助スタック領域54は、本実施形態では、上記戻りアドレスを格納するために確保される領域である。例えば、メインメモリ16の最終の領域から先頭アドレスに戻る方向に、転送してきた戻りアドレスを順々に格納していく。例えば、コール命令により実行されるサブルーチンの段数に対応して、補助スタック領域54を確保しておけばよい。
- [0036] 図2は、ディスプレイリスト50の一例を示す図である。DMAC20は、メインメモリ内のディスプレイリスト50の先頭アドレスから順番にフェッチしていく。図2において、コマンド”cmd”は、描画コマンドを総称したものであり、プリミティブを規定するためのワイヤー・フレームやポリゴンの指定、色の指定などを行うコマンドが該当する。
- [0037] GPU12は、デコーダ22がアドレス#1に格納されたコマンド”call id”を解読すると、引数IDを利用して、予めフックしてあるコールバック関数を呼び出す(処理s)。ここで、#記号は16進数表記を示す。図2では、予めアドレス#1000にコールバック関

数が設定されている。そして、アドレス#1000から始まるサブルーチンを実行していき、デコーダ22がその終了を示すコマンド”return”を解読すると、戻りアドレス#2に移行し、コード元のメインルーチンへ復帰する(処理t)。なお、この戻りアドレスは、アドレススタック26またはメインメモリ16内の補助スタック領域54に格納されている。上記サブルーチンをコードした際に格納されたものである。

[0038] 次に、GPU12は、デコーダ22がアドレス#100に格納されたコマンド”cpu call #20”を解読すると、そのコマンドと次のアドレス#101に格納されたコマンド”halt #FF”に分割されて設定されているアドレス#20FFをCPU14に抽出してもらい、そのアドレス#20FFから始まるサブルーチンを呼び出す(処理u)。そして、そのアドレス#20FFから始まるサブルーチンを実行していき、デコーダ22がその終了を示すコマンド”return”およびそれとセットのコマンド”halt”を解読すると、戻りアドレス#102に移行し、メインルーチンに復帰する(処理v)。

[0039] 次に、GPU12は、デコーダ22がアドレス#1に格納されたコマンド”jmp #220”を解読すると、アドレス#220にジャンプする(w)。この場合、同一路由内での分岐などによるジャンプであり、サブルーチンを呼び出し、その終了後にコード元に復帰させるという処理ではないため、戻りアドレスの格納は必要ない。ここでは、アドレスが24ビット以内で規定できる場合、複数のコマンドに分割して設定する必要はなく、1つのコマンドでアドレスを設定することができる。この処理、一般のジャンプ命令の処理と同様である。

[0040] 次に、GPU12は、デコーダ22がアドレス#300に格納されたコマンド”cpu jmp #40”を解読すると、そのコマンドと次のアドレス#301に格納されたコマンド”halt #AA”に分割されて設定されているアドレス#40AAをCPU14に抽出してもらい、そのアドレス#40AAにジャンプする(処理x)。なお、コマンド中の”cpu”は、CPU14を介在させる処理であることを示す。

[0041] 図3は、本実施形態におけるGPU12がCPU14にアドレス抽出を指示する第1コマンド例のフォーマットを示す。コマンド”cpu call”は、”halt”とセットで使用され、ディスペレリスト50のコード命令を実行するものである。図3では、それぞれのコマンドが32ビットで規定され、上記8ビットすなわち31～24桁にコマンドコードが、そこから下

位に8ビットすなわち23～16桁にコマンドタイプが、下位16ビットすなわち15～0桁にデータフィールドとして、コード先アドレスの上位または下位16ビット分が記述されている。ここで、コマンドコードは、各コマンドをコード化したものである。コマンドタイプは、割込を発生させた場合に実行中の処理を中断するか否か、戻りアドレスの保存が必要か否か、GPU12単独の処理か否か、換言すればCPU14と協働する処理か否か、といったコマンドの実行に関する付随的情報を指定するものである。なお、これらのフォーマットは一例であり、デコーダ22が正確にコマンドを解読できれば、任意にフィールドを設定し、命令やデータを記述することができる。例えば、上位8ビットでコマンドの命令部を記述できる場合、残りの24ビットをデータフィールドとして、そこにアドレスや引数を記述してもよい。

[0042] 図4は、本実施形態におけるGPU12がCPU14にアドレス抽出を指示する第2コマンド例のフォーマットを示す。コマンド”cpu jmp”は、”halt”とセットで使用され、ディスプレイリスト50のジャンプ命令を実行するものである。このジャンプ命令には、分岐によるジャンプ命令や無条件のジャンプ命令などが含まれる。図4も、図3と同様に、それぞれのコマンドの下位16ビット分のフィールドに、ジャンプ先アドレスの上位または下位16ビット分が記述されている。

[0043] 図5は、本実施形態におけるコード命令を実行した際のフローチャートである。GPU12は、デコーダ22がコマンド”cpu call”を解読すると、そのコマンドを実行する(S10)。次に、デコーダ22がその次のコマンド”halt”を解読し、現在実行中の処理を一時中断する(S12)。GPU12は、これに平行して、CPU14に対して移行割込を発生させる(S14)。

[0044] CPU14は、この移行割込に応じて、GPU12が実行していたコード元のメインルーチンに復帰するための戻りアドレスをメインメモリ16内の補助スタック領域54に退避させる(S16)。それと共に、上記コマンド”cpu call”およびコマンド”halt”に分割して格納されているコード先アドレスを抽出する(S18)。そして、そのコード先アドレスをGPU12に通知する(S20)。

[0045] GPU12は、コード先アドレスから始まるサブルーチンに移行する(S22)。そのサブルーチンを実行していく、デコーダ22がコマンド”return”を解読すると、そのコマン

ドを実行する(S24)。デコーダ22がその次のコマンド”halt”を解読し、現在実行中の処理を終了する(S26)。GPU12は、これに平行して、CPU14に対して復帰割込を発生させる(S28)。

[0046] CPU14は、この復帰割込に応じて、補助スタック領域54に退避させていた戻りアドレスをメインメモリ16内の補助スタック領域54から読み出す(S30)。そして、その戻りアドレスをGPU12に通知する(S32)。GPU12は、その戻りアドレスから、コード元のメインルーチンに復帰し、処理を続行する(S34)。

[0047] なお、以上説明した処理は、GPU12のアドレススタック26に空き領域がないことが前提の処理である。この点、アドレススタック26に空き領域がある場合は、戻りアドレスをそこに退避してもよい。また、GPU12内にフラグレジスタなどを設け、アドレススタック26に空き領域があるか否かを示すフラグをそのレジスタに立ててもよい。この場合、デコーダ22は、そのフラグを参照して、CPU14に戻りアドレスの退避を依頼するか否かを判断することができる。戻りアドレスをGPU12のアドレススタック26に格納する場合、図5のステップS16、S28～S32の処理は不要となり、GPU12内の処理となる。

[0048] 図6は、本実施形態におけるジャンプ命令を実行した際のフローチャートである。GPU12は、デコーダ22がコマンド”cpu jmp”を解読すると、そのコマンドを実行する(S50)。デコーダ22がその次のコマンド”halt”を解読し、現在実行中の処理を終了する(S52)。GPU12は、これに平行して、CPU14に対して割込を発生させる(S54)。

[0049] CPU14は、この割込に応じて、上記コマンド”cpu jmp”およびコマンド”halt”に分割して格納されているジャンプ先アドレスを抽出する(S56)。そして、そのジャンプ先アドレスをGPU12に通知する(S58)。GPU12は、ジャンプ先アドレスに移行し(S60)、そのアドレスから読み出しを再開する。

[0050] 以上説明したように本実施形態によれば、コード命令が割込として発生した場合、割込が発生したコード元のメインルーチンに復帰するための戻りアドレスをGPU12外のメインメモリ16に退避することができることから、GPU12内の戻りアドレスを格納する領域を縮小させることができる。すなわち、コード先のルーチンでさらにコード命令が発生するという処理が複数回実行され、複数段のサブルーチンが構築される場

合、コール元のルーチンに復帰するための戻りアドレスを複数、保持する必要がある。これをGPU12内にすべて格納しようとすると、それだけレジスタを多く設ける必要が生じ、GPU12の小規模化を難しくする。これに対し、GPU12のレジスタを削減し、小規模化を図ると、複数段のサブルーチンを構築することが難しくなり、処理の柔軟性が低下してしまう。この点、本実施形態では、戻りアドレスをメインメモリ16に退避することができることから、GPU12の小規模化と処理の柔軟性を両立することができる。具体的には、ハードウェア資源的に簡素なGPU12でも、多数段のコール命令を処理することができる。

[0051] また、1つのコマンドフィールド中に、コール先アドレスやジャンプ先アドレスが入りきらず、複数のコマンドに渡ってこれらのアドレスが設定される場合、そのアドレスの抽出をCPU14に委託することにより、GPU12のレジスタを削減することができる。すなわち、複数のコマンドに跨るアドレスを抽出するには、それぞれのコマンドに含まれるアドレスの一部を抽出し、それをシフトさせたり、合成させたりするためのレジスタが必要となる。そのレジスタは、1つのコマンドに設定された引数やアドレスを抽出する場合に必要なレジスタより大きな規模となる。この点、本実施形態では、複数のコマンドに分割して設定されたアドレスを抽出するなど、シフトや加算などの論理演算が必要なコマンドの解読をメインのCPU14に委託する。これにより、GPU12は、1コマンド単位で解読可能なコマンドを処理するに必要なレジスタを備えればよいことになり、回路面積を削減し、小規模化を図ることができる。また、GPU12のハードウェア資源では解読が難しいコマンドは、CPU14が代わりに解読することにより、様々な記述体系のコマンドに対応することもできる。よって、GPU12の小規模化と処理の柔軟性を両立することができる。GPU12が小規模化されれば、マルチプロセッサシステム全体を小規模化することができる。

[0052] 以上、実施形態をもとに本発明を説明した。なお本発明はこれらの実施形態に限定されることなく、そのさまざまな変形例もまた、本発明の態様として有効である。例えば、実施形態では、GPU12にアドレススタック26を備えた構成を説明した。この点、GPU12にアドレススタック26を設けずに、すべての戻りアドレスをメインメモリ16のスタック領域に格納してもよい。これによれば、さらにGPU12を小規模化することができ

きる。

[0053] また、実施形態では、コール先アドレスおよびジャンプ先アドレスを2つのコマンドに分割して設定した。この点、1つのコマンドのデータフィールドが小さい場合や、設定するアドレスのデータ長がさらに長い場合などには、3つ以上のコマンドに分割して設定してもよい。これによれば、コマンドの記述体系を柔軟に規定することができる。また、1つのコマンドフォーマットを短くした場合、さらにGPU12のハードウェア資源を小規模化することも可能になる。

産業上の利用可能性

[0054] 本発明は、コンピュータのプロセッサにマルチプロセッサ構成を用いたシステムと、そのシステムにおいてプログラムを実行する技術に利用可能である。

請求の範囲

[1] 第1のプロセッサと第2のプロセッサを含み、
第1のプロセッサは、実行中のメインルーチンにおいて所定のコール命令を実行したとき第2のプロセッサに対して割込を発生する割込発生部を備え、
第2のプロセッサは、割込発生部から割込を受けたとき、前記コール命令によって呼び出されるサブルーチンの処理が完了したときメインルーチンへ戻るための戻りアドレスを所定のメモリ領域に退避するアドレス退避部を備えることを特徴とするマルチプロセッサシステム。

[2] 請求項1に記載のシステムにおいて、
前記割込発生部は、サブルーチンにおいて所定のリターン命令を実行したとき第2のプロセッサに対して再度割込を発生し、
第2のプロセッサは、再度発生された割込を受けたとき、前記戻りアドレスを第1のプロセッサへ通知するアドレス通知部をさらに備えることを特徴とするマルチプロセッサシステム。

[3] 請求項2に記載のシステムにおいて、第1のプロセッサは、命令をフェッチするフェッチャーを備え、このフェッチャーによるアクセスの対象アドレスとして前記戻りアドレスが設定されることを特徴とするマルチプロセッサシステム。

[4] 第1のプロセッサと第2のプロセッサを含み、
第1のプロセッサは、所定のコール命令またはジャンプ命令を実行したとき第2のプロセッサに対して割込を発生する割込発生部を備え、
第2のプロセッサは、
第1のプロセッサから割込を受けたとき、前記コール命令またはジャンプ命令と、その後に置かれる実行停止命令のフォーマット中に分割して格納されたコール先アドレスまたはジャンプ先アドレスを抽出するアドレス抽出部と、
取得したコール先アドレスまたはジャンプ先アドレスを第1のプロセッサに通知するアドレス通知部と、
を備えることを特徴とするマルチプロセッサシステム。

[5] 請求項4に記載のシステムにおいて、第1のプロセッサは、命令をフェッチするフェ

ッチャーを備え、このフェッチャーによるアクセスの対象アドレスとして前記コール先アドレスまたはジャンプ先アドレスが設定されることを特徴とするマルチプロセッサシステム。

[6] グラフィックプロセッサとメインプロセッサを含み、
グラフィックプロセッサは、
メモリからディスプレイリストとして記述される命令を順次読み出すDMACと、
読み出された命令を順次解読するデコーダと、
解読された命令がディスプレイリストのメインルーチンに含まれる所定のコール命令であるときメインプロセッサに対して移行用割込を発生し、かつ、解読された命令が前記コール命令によって呼び出されるサブルーチンに含まれるリターン命令であるときメインプロセッサに対して復帰用割込を発生する割込発生部とを備え、
メインプロセッサは、
割込発生部から移行用割込を受けたとき、前記サブルーチンの処理が完了したときメインルーチンへ戻るための戻りアドレスを所定のメモリへ退避するアドレス退避部と、
割込発生部から復帰用割込を受けたとき、前記戻りアドレスを前記所定のメモリから読み出してグラフィックプロセッサへ通知するアドレス通知部とを備え、
グラフィックプロセッサへ通知された戻りアドレスがDMACのアクセスの対象アドレスとして設定されることを特徴とするマルチプロセッサシステム。

[7] グラフィックプロセッサとメインプロセッサを含み、
グラフィックプロセッサは、
メモリからディスプレイリストとして記述される命令を順次読み出すDMACと、
読み出された命令を順次解読するデコーダと、
解読された命令がディスプレイリストに含まれる所定のコール命令またはジャンプ命令であるときメインプロセッサに対して割込を発生する割込発生部とを備え、
メインプロセッサは、割込発生部から割込を受けたとき、前記コール命令またはジャンプ命令と、その後に置かれる実行停止命令のフォーマット中に分割して格納されたコール命令またはジャンプ先アドレスを取得してグラフィックプロセッサへ通知するア

ドレス通知部を備え、

グラフィックプロセッサへ通知されたコール先アドレスまたはジャンプ先アドレスがD
MACのアクセスの対象アドレスとして設定されることを特徴とするマルチプロセッサシ
ステム。

- [8] 第1のプロセッサが、実行中のメインルーチンにおいてコール命令を実行したとき、
そのコール命令によって呼び出されるサブルーチンの処理が完了したときメインルー
チンへ戻るための戻りアドレスの退避を第2のプロセッサに委託することを特徴とする
マルチプロセッサシステムにおけるプログラム実行方法。
- [9] 請求項8に記載の方法において、
第1のプロセッサ内部のスタック領域に空きがある場合は第1のプロセッサが自らそ
のスタック領域へ戻りアドレスを退避する一方、
前記スタック領域に空きがない場合は第2のプロセッサに戻りアドレスの退避を委託
することを特徴とするマルチプロセッサシステムにおけるプログラム実行方法。
- [10] 請求項8に記載の方法において、
前記コール命令が、戻りアドレスの退避を第2のプロセッサへ委託する旨を明示し
ない命令であるとき、第1のプロセッサは、自身内蔵するスタック領域へ戻りアドレスを
退避する一方、
前記コール命令が、戻りアドレスの退避を第2のプロセッサへ委託する旨を明示す
る命令であるとき、第1のプロセッサは、第2のプロセッサに戻りアドレスの退避を委託
することを特徴とするマルチプロセッサシステムにおけるプログラム実行方法。
- [11] 第1のプロセッサがコール命令またはジャンプ命令を実行したとき、コール先アドレ
スまたはジャンプ先アドレスのフルアドレスの取得を第2のプロセッサに委託すること
を特徴とするマルチプロセッサシステムにおけるプログラム実行方法。
- [12] 請求項11に記載の方法において、
コール先アドレスまたはジャンプ先アドレスのビット数が第1のプロセッサによって取
得可能なビット数を超えているとき、コール先アドレスまたはジャンプ先アドレスのフル
アドレスの取得を第2のプロセッサに委託することを特徴とするマルチプロセッサシ
ステムにおけるプログラム実行方法。

[13] 請求項11に記載の方法において、

前記コール命令またはジャンプ命令が、コール先アドレスまたはジャンプ先アドレスの取得を第2のプロセッサへ委託する旨を明示する命令であるとき、コール先アドレスまたはジャンプ先アドレスのフルアドレスの取得を第2のプロセッサに委託することを特徴とするマルチプロセッサシステムにおけるプログラム実行方法。

補正書の請求の範囲

[2006年2月13日 (13. 02. 2006) 国際事務局受理]

ドレス通知部を備え、

グラフィックプロセッサへ通知されたコール先アドレスまたはジャンプ先アドレスがDMACのアクセスの対象アドレスとして設定されることを特徴とするマルチプロセッサシステム。

8. 第1のプロセッサが、実行中のメインルーチンにおいてコール命令を実行したとき、そのコール命令によって呼び出されるサブルーチンの処理が完了したときメインルーチンへ戻るための戻りアドレスの退避を第2のプロセッサに委託することを特徴とするマルチプロセッサシステムにおけるプログラム実行方法。

9. 請求項8に記載の方法において、

第1のプロセッサ内部のスタック領域に空きがある場合は第1のプロセッサが自らそのスタック領域へ戻りアドレスを退避する一方、

前記スタック領域に空きがない場合は第2のプロセッサに戻りアドレスの退避を委託することを特徴とするマルチプロセッサシステムにおけるプログラム実行方法。

10. 請求項8に記載の方法において、

前記コール命令が、戻りアドレスの退避を第2のプロセッサへ委託する旨を明示しない命令であるとき、第1のプロセッサは、自身内蔵するスタック領域へ戻りアドレスを退避する一方、

前記コール命令が、戻りアドレスの退避を第2のプロセッサへ委託する旨を明示する命令であるとき、第1のプロセッサは、第2のプロセッサに戻りアドレスの退避を委託することを特徴とするマルチプロセッサシステムにおけるプログラム実行方法。

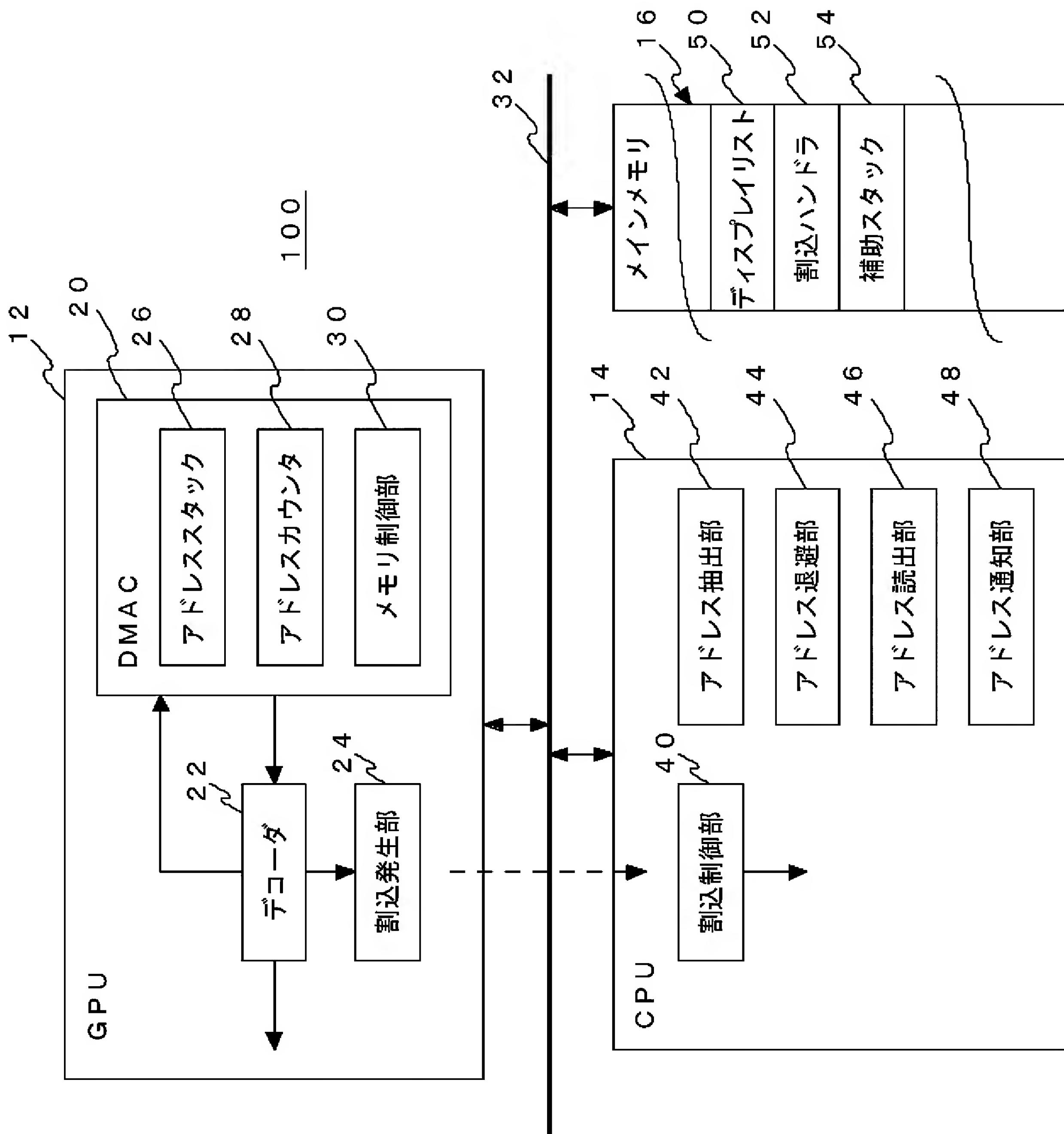
11. (補正後) 第1のプロセッサがコール命令またはジャンプ命令を実行したとき、コール先アドレスまたはジャンプ先アドレスのビット数が第1のプロセッサによって取得可能なビット数を超えていたとき、コール先アドレスまたはジャンプ先アドレスのアドレスの取得を第2のプロセッサに委託することを特徴とするマルチプロセッサシステムにおけるプログラム実行方法。

12. (補正後) 第1のプロセッサがコール命令またはジャンプ命令を実行したとき、前記コール命令またはジャンプ命令が、コール先アドレスまたはジャンプ先アドレスの取得を第2のプロセッサへ委託する旨を明示する命令であるとき、コール先アドレスまたはジャンプ先アドレスのアドレスの取得を第2のプロセッサに委託することを特徴とするマルチプロセッサシステムにおけるプログラム実行方法。

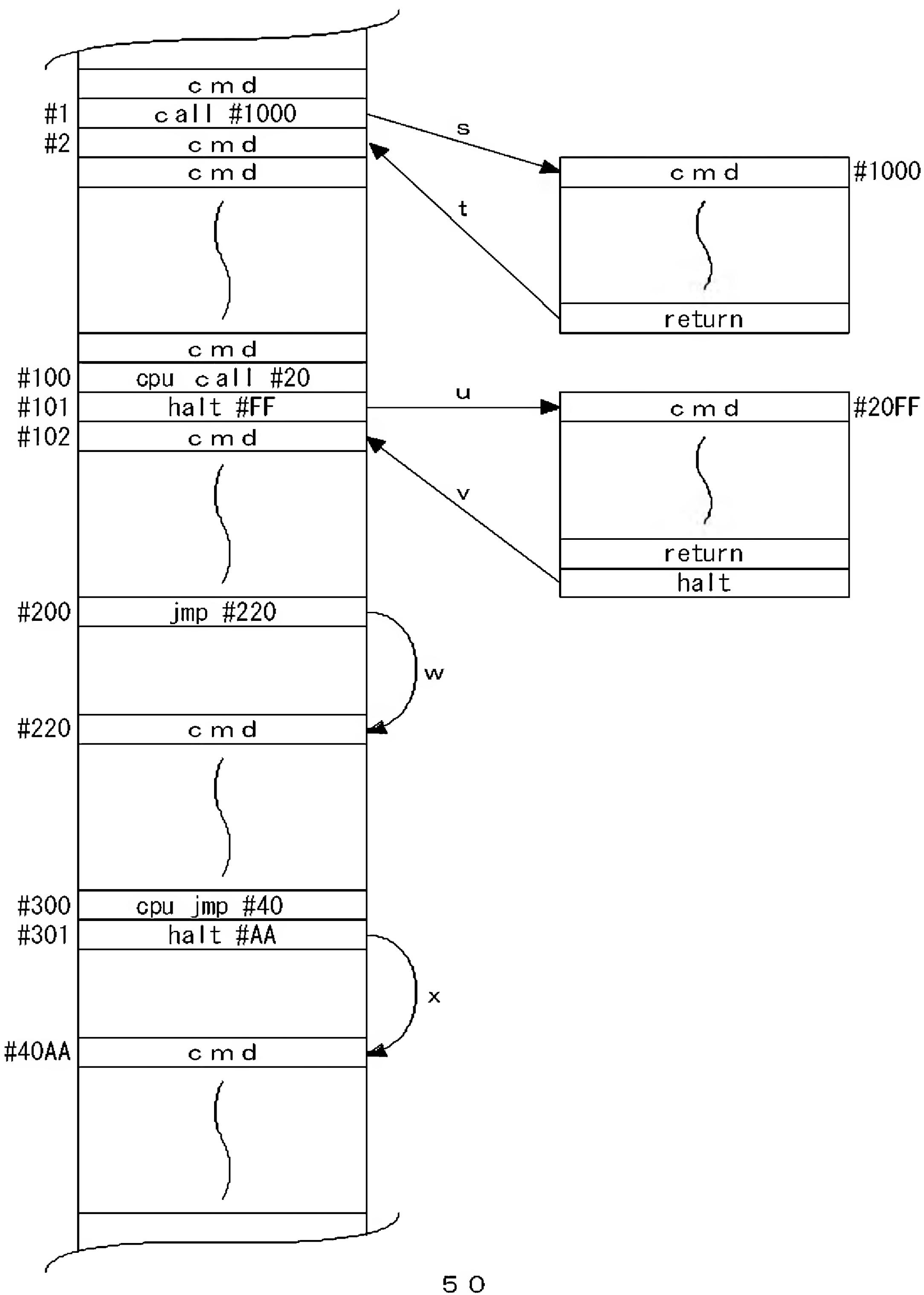
1 3. (削除)

補正された用紙（条約第19条）

[図1]



[図2]



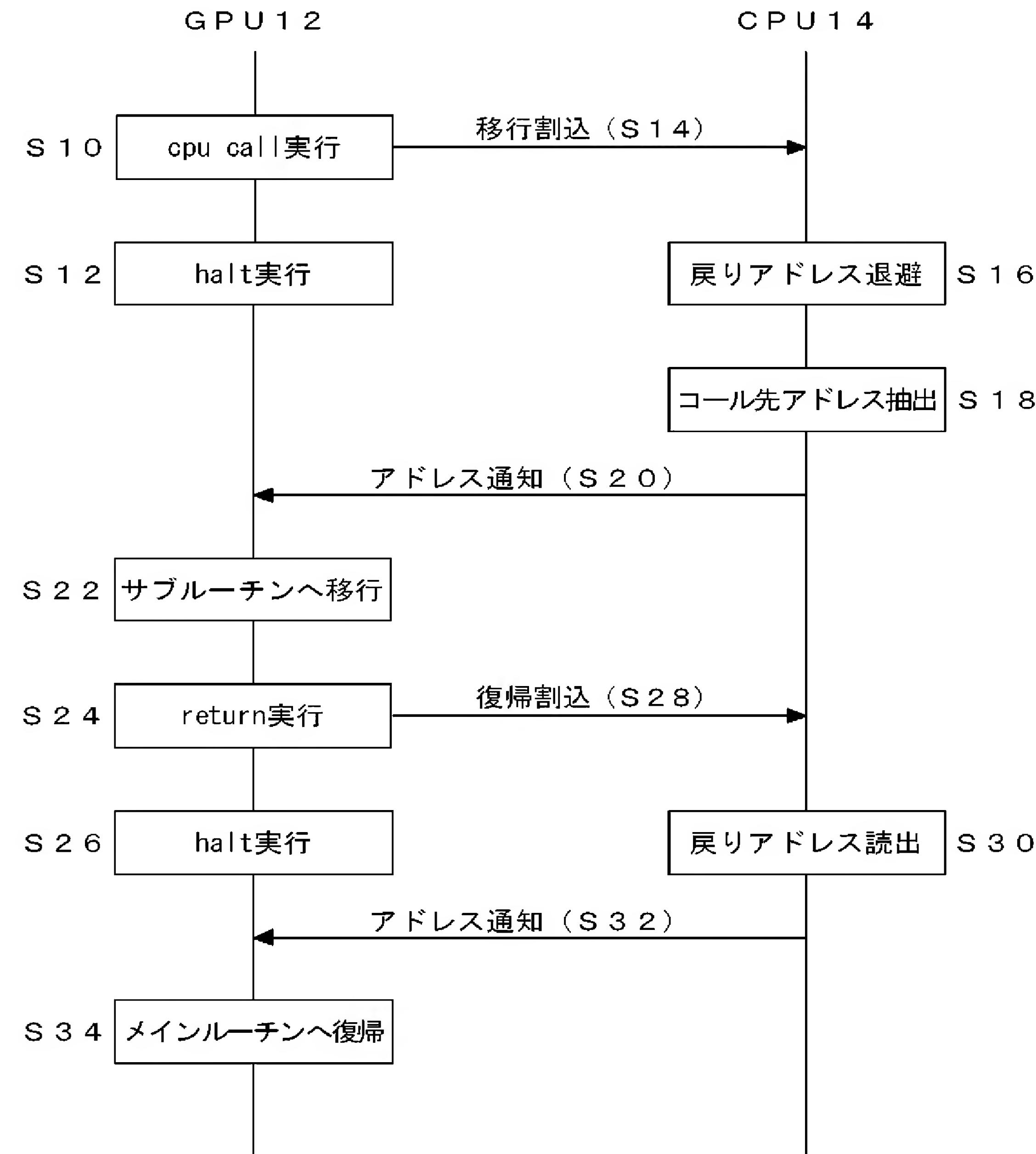
[図3]

	31	23	15	0
cpu call	E 1	O 1	addr 16-31	
halt	E 2	-	addr 0-15	

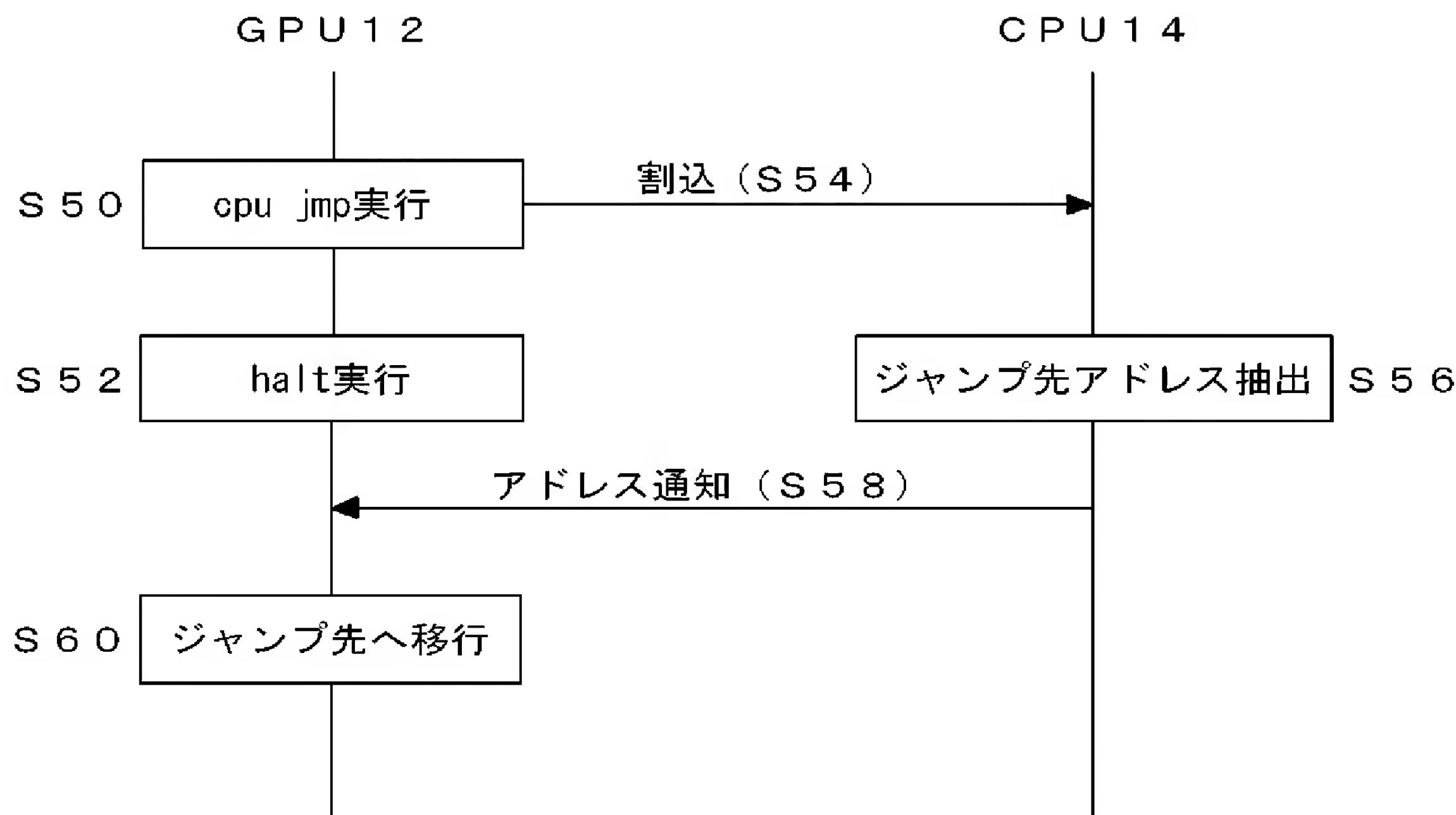
[図4]

	31	23	15	0
cpu jmp	E 1	O O	addr 16-31	
halt	E 2	-	addr 0-15	

[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/020000

A. CLASSIFICATION OF SUBJECT MATTER

G06F9/42 (2006.01), **G06F9/38** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F9/42 (2006.01), **G06F9/38** (2006.01), **G06F15/16-G06F15/177** (2006.01),
G06T1/20 (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2003/0120897 A1 (HEWLETT-PACKARD CO.), 26 June, 2003 (26.06.03), Par. Nos. [0027] to [0032] & WO 2003/058433 A1	11 1-10, 12, 13
A	JP 2003-36169 A (Tohoku Nippon Denki Sofutowea Kabushiki Kaisha), 07 February, 2003 (07.02.03), Par. No. [0025] (Family: none)	1-13
A	JP 2002-202964 A (Sony Computer Entertainment Inc.), 19 July, 2002 (19.07.02) & US 2002/0143838 A1	1-13

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
08 December, 2005 (08.12.05)

Date of mailing of the international search report
20 December, 2005 (20.12.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/020000

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 57-143642 A (Burroughs Corp.) , 04 September, 1982 (04.09.82) & US 4459659 A	1 - 13

A. 発明の属する分野の分類（国際特許分類（IPC））
Int.Cl. G06F9/42 (2006.01), G06F9/38 (2006.01)

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F9/42 (2006.01), G06F9/38 (2006.01), G06F15/16 - G06F15/177 (2006.01), G06T1/20 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	US 2003/0120897 A1 (HEWLETT-PACKARD COMPANY) 2003.06.26, 段落 [0027] - [0032] & WO 2003/058433 A1	11 1-10, 12, 13
A	JP 2003-36169 A (東北日本電気ソフトウェア株式会社) 2003.02.07, 段落 [0025] (ファミリーなし)	1-13
A	JP 2002-202964 A (株式会社ソニー・コンピュータエンタテインメント) 2002.07.19 & US 2002/0143838 A1	1-13

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

08.12.2005

国際調査報告の発送日

20.12.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

後藤 彰

5B 4226

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 57-143642 A (バロース・コーポレーション) 1982.09.04 & US 4459659 A	1-13